

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-021791

(43)Date of publication of application : 24.01.1995

(51)Int.Cl.

G11C 16/06
B42D 15/10
G11C 5/00
H01F 17/00
H02M 3/28

(21)Application number : 06-041279

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 11.03.1994

(72)Inventor : SATO TOSHIRO
TANAKA TOMOHARU
MIZOGUCHI TETSUHIKO
IDE YUJI

(30)Priority

Priority number : 05 56187

Priority date : 16.03.1993

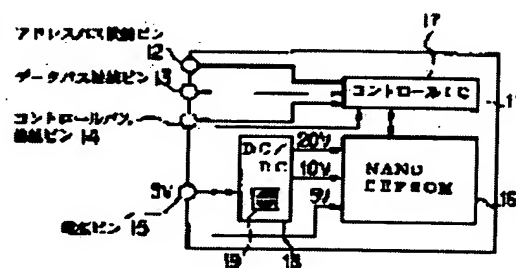
Priority country : JP

(54) SEMICONDUCTOR MEMORY AND MEMORY CARD AND POWER SUPPLY DRIVING SYSTEM FOR EEPROM

(57)Abstract:

PURPOSE: To obtain a semiconductor memory such as an EEPROM provided with the power supply circuit of a high efficiency, a memory card using the same and a power source driving system.

CONSTITUTION: In an IC memory card with a built-in EEPROM type memory chip 16, etc., an input DC voltage is boosted by providing DC-DC converter 18 using a planar inductor 19 and having a high voltage conversion efficiency, the outputted DC voltage of the DC-DC converter 18 is adjusted by a voltage falling regulator and electric power is supplied to the semiconductor memory. Thus, the reduction of a power consumption is made possible, an operation using a single power supply is made possible and the miniaturizing of a power source and a long-term battery operation are also made possible. Further, this system is applicable even to portable information equipment other than the IC card in the same manner.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-21791

(43) 公開日 平成7年(1995)1月24日

(51) Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 16/06				
B 4 2 D 15/10	5 2 1			
G 1 1 C 5/00	3 0 2 A			
H 0 1 F 17/00		D 7319-5E		
			G 1 1 C 17/ 00	3 0 9 D
審査請求 未請求 請求項の数 5 O L (全 11 頁) 最終頁に続く				

(21) 出願番号 特願平6-41279

(22) 出願日 平成6年(1994)3月11日

(31) 優先権主張番号 特願平5-56187

(32) 優先日 平5(1993)3月16日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 佐藤 敏郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 溝口 徹彦

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦

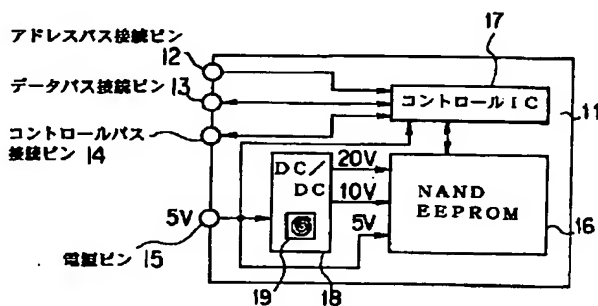
最終頁に続く

(54) 【発明の名称】 半導体メモリ及びメモリカード及びEEPROMの電源駆動方式

(57) 【要約】 (修正有)

【目的】 高効率の電源回路を具備したEEPROM等の半導体メモリ及びこれを用いたメモリカード並びに電源駆動方式を提供する。

【構成】 EEPROM型メモリチップを内蔵したICメモリカード等において、平面インダクタを用いた高電圧変換効率を有するDC-DCコンバータを設け入力直流電圧を昇圧し、降圧レギュレータでこのDC-DCコンバータの出力直流電圧を調整し半導体メモリに電力供給を行う。これにより、消費電力の低減が可能となり、また単一電源動作が可能となり、電源の小型化及び長時間電池動作が可能となる。また、本発明はICカード以外の携帯情報機器にも同様に適用できる。



【特許請求の範囲】

【請求項 1】所定の直流電源電圧によって駆動される半導体素子と、

インダクタンス素子とスイッチング素子とを用いたスイッチングコンバータ方式により入力直流電圧を変換して出力直流電圧を発生する DC-DC コンバータ、及び前記出力直流電圧を前記所定の直流電源電圧に変換し前記半導体素子に供給するレギュレータを含む電源回路と、を具備したことを特徴とする半導体装置。

【請求項 2】チップ上に形成され、所定の直流電源電圧によって駆動されるメモリセル群と、

インダクタンス素子とスイッチング素子とを用いたスイッチングコンバータ方式により入力直流電圧を昇圧して出力直流電圧を発生する昇圧型 DC-DC コンバータ、及び前記出力直流電圧を前記所定の直流電源電圧に降圧し前記メモリセル群に供給する降圧レギュレータを有するマイクロ昇圧電源回路と、を具備したことを特徴とする半導体メモリ。

【請求項 3】複数のメモリセル群から成る半導体メモリと、

インダクタンス素子とスイッチング素子とを用いたスイッチングコンバータ方式により入力直流電圧を昇圧して出力直流電圧を発生する昇圧型 DC-DC コンバータ、及び前記出力直流電圧を前記所定の直流電源電圧に降圧し前記メモリセル群に供給する降圧レギュレータを有するマイクロ昇圧電源回路と、

外部から供給される制御信号に応じて前記半導体メモリの書き込み／消去を制御する制御回路と、

を具備したことを特徴とするメモリカード。

【請求項 4】前記マイクロ昇圧電源回路が複数のチップに共通に使用可能に搭載されている請求項 3 記載のメモリカード。

【請求項 5】外部電源から第 1 の直流電圧を供給すること、

インダクタンス素子とスイッチング素子とを用いてスイッチングコンバータ方式により前記第 1 の直流電圧を DC-DC コンバータにより昇圧し第 2 の直流電圧に変換すること、

前記第 2 の直流電圧を降圧レギュレータにより降圧し、EEPROM を駆動するための所定の第 3 の直流電圧に変換すること、

前記第 3 の直流電圧を駆動電源電圧として前記 EEPROM に供給すること、

の各ステップを具備したことを特徴とする EEPROM の電源駆動方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は高効率の電源回路を具備した EEPROM 等の半導体メモリ及びこれを用いたメモリカードに関し、更に EEPROM の電源駆動方式に

関する。

【0002】

【従来の技術】近年、ICメモリカードは、クレジットカード・サイズの ICメモリカードを中心に普及しはじめ、携帯パソコン等の小型情報機器の分野に於いては情報交換媒体としてその標準化も行われている。例えば、社団法人日本電子工業振興協会（JEIDA）では、パソコン用 ICメモリカードの標準仕様として JEIDA-G1-1991「ICメモリカードガイドライン Ver. 4.1」を推奨している。この規格は米国の PCMCIA（Personal Computer Memory Card International Association）の同等規格 PC Card Standard Release 2.0 と同一規格で、実質的な国際標準規格となりつつある。

【0003】図 16 及び図 17 はそれぞれ JEIDA の「ICメモリカードガイドライン Ver. 4.1」に規定されているカード寸法を示した外観斜視図である。物理的形状は短辺 54.0mm、長辺 85.6mm でクレジットカードサイズを踏襲している。厚さは、3.3mm のタイプ I と 5.0mm のタイプ II を規定しているが、短辺に設けたコネクタ部 71 は 2 タイプ共 68 ピン 3.3mm 厚である。各カードのコネクタの両側には逆差し挿入防止ガイド溝 72、73 がある。また、タイプ I、タイプ II 共にコネクタ部 71 と長辺の側辺部 74 は接続部と呼ばれ、どちらのタイプでも 3.3mm 厚である。タイプ II は基体部 75 と呼ばれる中央部が上下に張り出しており 5.0mm MAX 厚である。また、搭載可能なメモリの種類として、マスク ROM、OTPROM、EPROM、EEPROM、フラッシュメモリ、SRAM が規定されている。また、JEIDA では DRAM 搭載 ICメモリカードについて規定した「DRAM カードガイドライン Ver. 1.0」もある。このように、多くの種類の ROM、RAM 等がメモリカードに搭載されている。電気的に何度でも書き込み／消去が可能でデータ保持のためのバックアップ電源を必要としないメモリとして、EEPROM、フラッシュメモリがある。EEPROM の代表的なものとして、NAND 型 EEPROM と NOR 型 EEPROM があるが、最近はいずれもフラッシュ型と呼ばれる一括消去型 EEPROM である。フラッシュメモリは広義の EEPROM（Electrically Erasable Programmable Read Only Memory）の一種でフラッシュ型 EEPROM と呼ばれることもある。NAND 型 EEPROM は Fowler Nordheim トンネル電流を利用するので消費電力が小さい。このため、この NAND 型 EEPROM は 5V の外部電源から書き込み／消去に必要な 10V 及び 20V を発生する昇圧回路をメモリチップに内蔵し、5V 単一電源動作を実現している。一方、現在の NOR 型 EEPROM は Hot-electron 注入を利用するので書き込み時に消費電力が大きく、昇圧回路を内蔵できず 5

Vと12Vの外部2電源が必要である。但し、将来的にはNOR型もFNTトンネリング型になることも考えられる。

【0004】図18はNAND型EEPROMを搭載したICメモリカードの概略構成を示すブロック図である。メモリカード本体91にはPCMCIA Release 2.0で規定された68ピンコネクタが設けてあり、アドレスバス接続ピン12、データバス接続ピン13、コントロールバス接続ピン14、電源ピン95等で構成されている。メモリカード91の内部には、NAND型EEPROM96とコントロールIC17が搭載されている。現在実用化されているNAND型EEPROM96、例えば東芝製4MビットNAND EEPROM TC584000は5V単一電源で動作するが、前述の如くチップ内部には書き込み／消去に必要な10V及び20V程度の高電圧を発生する昇圧回路97を内蔵している。この昇圧回路97は、例えば、図19に示すようにチャージポンプ方式と呼ばれるコンデンサ801～80n、トランジスタスイッチ811～81n、821～82n、831～83nの組み合わせで構成される回路である(特開昭61-80598号公報)。この昇圧回路97では、トランジスタスイッチの抵抗損失やコンデンサの誘電損失が大きいために、電力変換効率が20%程度しか得られない。しかし、NAND型EEPROMの消費電力は比較的少なく、書き込み／消去時に必要な電流は約60mAであるため、昇圧回路97を内蔵し単一電源化した状態で実用化されている。しかし、電池駆動型携帯情報機器等では長時間動作を可能にするために、さらなる低消費電力化が要求される。

【0005】図20はNOR型フラッシュメモリを搭載したICメモリカードの概略構成を示すブロック図である。メモリカード本体101にはPCMCIA Release 2.0で規定された68ピンコネクタが設けてあり、アドレスバス接続ピン12、データバス接続ピン13、コントロールバス接続ピン14、電源ピン15、106等で構成されている。メモリカード101の内部には、NOR型フラッシュメモリ66とコントロールIC67が搭載されている。NOR型EEPROM66を用いた従来例について説明する。例えば、Intel社製8Mビットフラッシュメモリ28F008SAは、5V及び12Vの2電源を外部から与える必要がある。消費電力は5V、12V共に約30mAと大きく、電源効率が悪い昇圧回路を内蔵すると消費電力がさらに大きくなるため、昇圧回路は内蔵されていない。つまり、NOR型フラッシュメモリ66には書き込み／消去に必要な高電圧12Vを発生させるための昇圧回路は内蔵されていない。そのためにICメモリカードの電源が2種類必要である。

【0006】

【発明が解決しようとする課題】このように、EEPROM

OMやフラッシュメモリは書き込み／消去に高圧電源が必要であり、これらのメモリを搭載するICメモリカードにあっては、NAND型EEPROMのような昇圧回路内蔵型メモリでは電源効率が悪くなり、一方NOR型EEPROMのような電源外部供給型メモリでは2電源となる等の問題点があった。つまり、NAND型メモリでは低消費電力ではあるが、従来の電源部分がチャージポンプ形式の回路を用いている関係上、その効率が低いという問題がある。従来は高い電源電圧変換効率を有するEEPROM用昇圧回路は存在しておらず、ICメモリカードの低消費電力化の要求を考慮した場合には従来の昇圧回路は不十分であった。また、NOR型メモリではもともと消費電力が大きいと、電源内蔵の形態はとりえず、複数の外部電源が必要であり、外部との接続が複雑になるという問題があった。

【0007】本発明は、上記問題を解決すべくなされたもので、1チップ化もしくはICカード状実装に適する高効率の電源回路を具備したNAND型EEPROM等の半導体メモリ及びこの半導体メモリを組込んだICメモリカードを提供することを目的とする。本発明は、高い電源電圧変換効率をもって外部電源からEEPROMへ電力供給を可能とするEEPROMの電源駆動方式を提供することを別の目的とする。

【0008】

【課題を解決するための手段】本発明の半導体装置は、所定の直流電源電圧によって駆動される半導体素子と、インダクタンス素子とスイッチング素子とを用いたスイッチングコンバータ方式により入力直流電圧を変換して出力直流電圧を発生するDC-DCコンバータ、及び前記出力直流電圧を前記所定の直流電源電圧に変換し、前記半導体素子に供給する降圧レギュレータを含む電源回路とを具備している。

【0009】また、本発明の半導体メモリは、チップ上に形成され、所定の直流電源電圧によって駆動されるメモリセル群と、インダクタンス素子とスイッチング素子とを用いたスイッチングコンバータ方式により入力直流電圧を昇圧して出力直流電圧を発生する昇圧型DC-DCコンバータ、及び前記出力直流電圧を前記所定の直流電源電圧に降圧し前記メモリセル群に供給する降圧レギュレータを有するマイクロ昇圧電源回路とを具備している。

【0010】更に、本発明のメモリカードは、複数のメモリセル群から成る半導体メモリと、インダクタンス素子とスイッチング素子とを用いたスイッチングコンバータ方式により入力直流電圧を昇圧して出力直流電圧を発生する昇圧型DC-DCコンバータ、及び前記出力直流電圧を前記所定の直流電源電圧に降圧し前記メモリセル群に供給する降圧レギュレータを有するマイクロ昇圧電源回路と、外部から供給される制御信号に応じて前記半導体メモリの書き込み／消去を制御する制御回路とを具備

している。

【0011】更に、本発明のEEPROMの電源駆動方式は、外部電源から第1の直流電圧を供給すること、インダクタンス素子とスイッチング素子とを用いてスイッチングコンバータ方式により前記第1の直流電圧をDC-DCコンバータにより昇圧し第2の直流電圧に変換すること、前記第2の直流電圧を降圧レギュレータにより降圧し、EEPROMを駆動するための所定の第3の直流電圧に変換すること、前記第3の直流電圧を駆動電源電圧として前記EEPROMに供給することの各ステップを具備している。

【0012】

【作用】本発明の発明者らは先に平面型磁気素子を開発し提案した。この平面型磁気素子は、基本的には平面状コイルを磁性体でサンドイッチする構成を採る。平面型磁気素子の単体を用いてもしくは薄膜プロセスを用いて半導体チップ上にこの平面型磁気素子を形成することにより1チップ化が可能である。

【0013】一方、DC-DCコンバータとして直流電圧をスイッチング素子により高周波電圧化しその後整流することにより、所望の直流電圧を得るスイッチングコンバータ方式の回路が知られている。上述の平面型磁気素子を用いてこのDC-DCコンバータを構成することにより、高周波化したDC-DCコンバータにおいても非常に効率良く所望の直流電圧を供給できる。

【0014】スイッチング素子により高周波化するタイプのDC-DCコンバータとしては、チョッパー型、フォワード型、フライバック型など各種回路を用いることもできる。しかし、メモリカード等の入力電圧は低電圧化の方向にあることから、昇圧タイプの回路が用いられる。昇圧においては、コンデンサの誘電損失などにより低効率なチャージポンプ式に比べ磁気素子を用いるDC-DCコンバータは高効率であり、これと降圧レギュレータとを組み合わせることで電力供給を行うことによりEEPROMもしくはメモリカードとしての電源電圧変換効率の向上に寄与する。また、半導体メモリとしてはNAND型、NOR型などのEEPROMなどを用いることができる。

【0015】

【実施例】以下に、図面を参照して本発明の実施例について詳細に説明する。図1は本発明の第1の実施例に係る薄型電源を内蔵したICメモリカードの概略構成を示すブロック図である。メモリカード本体11にはPCMCIA Release 2.0で規定された68ピンコネクタ（図示せず）が設けてあり、アドレスバス接続ピン12、データバス接続ピン13、コントロールバス接続ピン14、電源ピン15等で構成されている。メモリカード11の内部には、必要に応じて複数のNAND型EEPROM16とコントロールIC17、DC-DCコンバータ18が搭載されている。コントロールIC1

7はメモリカード11の使用時に外部から供給されるコントロール信号の制御の下にアドレス信号でアドレス指定されたNAND型EEPROM16内のメモリセルにデータを書込みあるいはデータを消去する。DC-DCコンバータ18は、後述する如く、薄い平面インダクタ19を備えた薄型電源、つまりマイクロ昇圧電源として構成され、電源ピン15から入力される5Vの外部電圧を用いてNAND型EEPROM16の書き込み/消去に必要な高圧電圧20V及び10Vを作るための昇圧型コンバータとして作用する。このDC-DCコンバータ18には、後述する本発明の発明者らが提案し開発した薄い平面インダクタ19が内蔵されている。本発明の第1の実施例のICメモリカードはこの薄い平面インダクタ19を用いてはじめて実現されたものである。

【0016】NAND型のフラッシュメモリの書き込み/消去はFNTトンネリング現象を利用しているが、ゲートまたは基板に印加される高電圧20Vの正味のトンネル電流は30μA程度で、コントロールゲートなどの立ち上がりを考慮しても3mA程度である。このときの消費電力は20V×3mA=60mW程度となる。この20Vを従来のメモリ内に内蔵したチャージポンプ昇圧回路で外部電源5Vのもとで発生させると、チャージポンプ回路の効率が20%程度しかないため、ICメモリカードの外部から300mW程度の電力を供給する必要がある。しかし、本発明のように、平面インダクタを用いた昇圧回路を内蔵したICメモリカードの場合、昇圧回路の効率が80%程度となるため、5V電源のもとでもICメモリカードの外部から75mWを供給するだけで良くなる。これはICメモリカードを使用する携帯情報機器の全体の消費電力を低減するだけではなく、携帯情報機器の電源部の小型化にも大きく寄与し、携帯情報機器の小型化を図ることもできる。

【0017】図2は本発明の第2の実施例に係る薄型電源を内蔵したICメモリカードの概略構成を示すブロック図である。メモリカード本体61にはPCMCIA Release 2.0で規定された68ピンコネクタが設けてあり、アドレスバス接続ピン12、データバス接続ピン13、コントロールバス接続ピン14、電源ピン65等で構成されている。メモリカード61の内部には、NOR型フラッシュメモリ66とコントロールIC67、DC-DCコンバータ18が搭載されている。DC-DCコンバータ18はやはり後述する如く平面インダクタ19を備えた薄型のマイクロ昇圧電源回路として構成され、電源ピン15から入力される5V外部電源電圧からNOR型フラッシュメモリ66の書き込み/消去に必要な高圧電圧12Vを作るための昇圧型DC-DCコンバータである。このDC-DCコンバータ18は、本発明の第1の実施例のDC-DCコンバータ18と同様に薄型で実現できる。

【0018】NOR型フラッシュメモリは通常Hot-

electron注入型であり書き込み時には30mA程度の大きな電流が流れ、この消費電力は $12V \times 30mA = 360mW$ 程度と大きい。従って電力変換効率が20%程度のチャージポンプ型昇圧回路を内蔵することはできず、従来は外部から5Vと12Vの2電源を供給する必要があった。本発明では前述の薄型DC-DCコンバータをICメモ리카ード内に搭載することで、ICメモ리카ードに供給する電源はNAND型と同様に5V単一電源とすることができる。このときの電源変換効率を80%とすると12Vの消費電力は450mWと外部から12Vを供給する時よりも多くなるが、従来方式で使用していた携帯情報機器内の12V用電源回路も同程度の電源変換効率であるため、システム全体の消費電力は変わらない。従って、携帯情報機器内の12V電源を不要にし電源部の小型化に大きく寄与し、携帯情報機器の小型化を図ることができる。

【0019】以下に、本発明のICメモ리카ードの各部について図面を参照して詳細に説明する。図3は本発明のICメモ리카ード用のマイクロ昇圧電源の実装状態を例示する拡大斜視図である。本発明のICメモ리카ードは、例えば、図3に示すように、AIN等の高熱伝導性パッケージ30の前後端部に積層セラミックコンデンサから成る入力コンデンサ21、出力コンデンサ24を配置し、中央部にワンチップ電源部9を配置し、その後、ワンチップ電源部9の各部及び入力コンデンサ21及び出力コンデンサ24の各部をパッケージ30の入力端子31、出力端子32、GND端子33等の各端子にボンディングワイヤ34で接続し、更に全体を樹脂（図示せず）等により封止することにより実装される。

【0020】図4は本発明のICメモ리카ード用マイクロ昇圧電源のワンチップ電源部の概略構成を示す部分断面斜視図である。ワンチップ電源部9は半導体IC部8と薄型平面インダクタ19とから成っている。半導体基板1上には、コントロールIC17又は67、DC-DCコンバータ18又は68のうちのパワーMOSFET22、ダイオード等から成る半導体IC部8が形成されている。半導体IC部8の上部には薄型平面インダクタ19が、後述するように、磁性薄膜インダクタとして積層されて形成されている。平面インダクタ19は面積を必要とするので、カード全体の面積を少なくするために積層されている。38はボンディングパッド部である。

【0021】図5は図1のDC-DCコンバータの部品配置図である。このDC-DCコンバータ18は約7mmの大きさで実装することができる。MOSFET22、ダイオード23、コンデンサ24は薄型チップ部品を用い、インダクタ19には後述する平面インダクタを用いている。平面インダクタ19は特開平2-275606号公報や、特願平4-204179号に開示されたものを用いることができる。図2のDC-DCコンバータ68についても同様に部品が配置される。

【0022】図6は本発明に係る平面インダクタの概略構成を示す図である。平面インダクタ19の長方形のスパイラルコイル41、42はアルミニウムや銅のコイルで作られており、互いに逆方向に巻かれ近接して設けられている。端子43から始まるコイル41は左巻きに巻かれ、そのまま連続して右巻きに巻かれたコイル42に接続され、端子44に出てくる。スパイラルコイル41、42は、図6(b)に示すように、絶縁体47中に埋設され、その上下をCoZrNb系などの磁性薄膜45、46で挟まれている。コイル41とコイル42で作られる磁束は図6(b)の矢印の方向に発生し同相で影響し合い、相互インダクタンスMの効果でコイルの大きさに比して大きなインダクタンスが得られる($2L + M > 2L$ 。但し、Lは自己インダクタンスである)。磁性薄膜としては、磁化容易軸を有する一軸磁気異方性磁性薄膜を用いて、磁化容易軸に垂直方向の磁化困難軸方向つまり図6(a)のA-A'方向に磁束を発生させると高周波うず電流損を小さくすることができる。すなわち、図6(a)のごとくスパイラルコイル41、42を矩形状に形成し、その長辺方向を容易軸とし、この容易軸を垂直方向に磁界Hを印加するのである。このような構造の平面インダクタ19は100 μm 程度の厚さで作ることができ、このため本発明では昇圧型DC-DCコンバータ18及び68を薄型に作ることが可能になる。

【0023】図7において、曲線Aは平面インダクタ19の磁化容易軸方向に磁界Hを印加した場合の透磁率 μ と周波数の関係を示し、曲線Bは磁化困難軸方向に磁界Hを印加した場合の同様の関係を示している。高周波で動作させるDC-DCコンバータ18にあっては曲線Bの方が透磁率 μ が大きいので、磁界Hは磁化困難軸方向に印加する必要がある。

【0024】図8は本発明に係る別の平面インダクタの概略構成を示す斜視図である。別の平面インダクタの例として、図8に示すスライスコイルを用いた平面インダクタ19'がある。スパイラルコイル48は例えば厚さ70 μm の銅板を、内径4mm外径9mmに巻き、厚さ500 μm にスライスして実現することができる。このスパイラルコイル48は絶縁体51中にシールドされ、ポリイミドフィルム49で上下から挟み、更に例えばコバルト系アモルファス合金等の軟磁性体箔50で挟み込み、それぞれ積層接着して形成される。全体として厚さ800 μm 程度のスライスコイル型の平面インダクタ19'ができる。このような、薄型の平面インダクタ19'を用いて、30 μH 程度のインダクタンスを有するインダクタをICメモ리카ードに内蔵することができる。尚、トランスを用いた回路にする場合は、1次コイル及び2次コイルを磁性体で挟持する構成にすれば良い。

【0025】図9は本発明におけるDC-DCコンバータとメモリとの接続を示すブロック図である。5Vを供

給する外部電源（図示せず）、DC-DCコンバータ18、シリーズレギュレータ53及びメモリセル群、例えばEEPROMセル群54は直列に接続される。シリーズレギュレータ53はメモリセル群54と共にメモリデバイス中に組み込まれている。NAND型EEPROMの場合フローティングゲート構造のメモリセルへの書き込みには前述の如く、FNTトンネリング注入を用いており、20V程度の電圧が必要である。実際にはメモリセル毎の書き込み／消去電圧のバラツキがあり、これを補償するため、メモリセルごとの書き込み電圧の最小値（例えば19V）から最大値（例えば23V）まで、書き込み電圧を順次上げて、各電圧でデータを書き込む方式がとられる。この電圧の変化はEEPROM16（又は66）に内蔵されているシリーズレギュレータ53等の降圧レギュレータを用いて行うことができる。例えば、外部電源電圧を5Vとした場合、DC-DCコンバータ18で書き込みに要する最大値よりやや大きめの値、例えば24Vまで昇圧する。そしてこのDC-DCコンバータ18の出力を受けてシリーズレギュレータ53で19～23Vに降圧して順次書き込みを行うのである。つまり、シリーズレギュレータ53の出力電圧は各メモリセル群54から帰還された制御電圧信号によって制御され、メモリセルの特性のバラツキに応じて決定される。シリーズレギュレータ53の効率は90%前後と高く、また本発明によるDC-DCコンバータ18の効率も平面型磁気素子を用い高周波化を図ることにより80%程度を実現できることから、本発明ではこの電源駆動方式を用いることで電源電圧変換効率は70%前後の高効率化が達成できる。従来のチャージポンプタイプの電源では高々20%程度の効率しか得られないので、高効率化するなわち消費電力の低減への貢献は大なるものがある。また、従来はチップごとのバラツキを補償するためチャージポンプ方式電源の出力端に接続された複数個の定電圧ダイオードのトリミングを行っているが、シリーズレギュレータの電圧可変範囲を最小の書き込み電圧を有するチップの値を基準にして広範囲にすることで、トリミングを省略することもできる。更に、DC-DCコンバータ18は後述するように昇圧比を大きくとることができるので、外部電源の低電圧化にも対応できる。また、DC-DCコンバータ18のスイッチング素子のデューティ比DをPWM制御することで複数種の外部電源入力への対応も可能である。尚、図9のDC-DCコンバータ18の出力のうち、10V出力はメモリセルの書き込み終了後に加えるプロテクト電圧として使用される。

【0026】図10は本発明に係るメモリカード及びメモリチップの構成を示す斜視図である。図10(a)はメモリカードの構成を示す斜視図であり、図10(b)はメモリチップの構成を示す斜視図である。図10(a)に示すように、メモリカード11又は61の構成

部品として、外部電源から電力供給を受けるDC-DCコンバータ等のマイクロ昇圧電源部分18を複数のメモリチップ16に共通に使用するようにカード11又は61に実装することができる。この場合、前述のシリーズレギュレータ部分のみをチップ16に作り込み、DC-DCコンバータ18のみが共通化してカード実装される。コントロールICは図10からは省略されている。図10(b)はマイクロ昇圧電源部分18をメモリチップ16a内にシリーズレギュレータ53、メモリセル群54及びメモリセルの周辺回路55と共に作り込み1チップ化を行ったものである。このメモリチップによりメモリカードが構成される。

【0027】図11は本発明に係るDC-DCコンバータの構成を示す回路図である。図11(a)のDC-DCコンバータ18は昇圧型のものであり、インダクタ19の充放電による入力端の電位の変動を抑える入力コンデンサ21、フライバックコイルとして動作する平面インダクタ19、電流をオン／オフさせるスイッチングトランジスタ22、整流ダイオード23、及び出力電流の脈動を平滑化する平滑コンデンサである出力コンデンサ24から構成される。図11(b)のDC-DCコンバータ18は図11(a)のMOSFET22をスイッチ22として模式化したものであり、昇圧比 V_{out}/V_{in} は $1/(1-D)$ に比例する。ここで、Dは図12に示すデューティ比であり、 $D=T_{on}/T$ で与えられる。図11(c)DC-DCコンバータ18は図11(b)のものと比べて平面インダクタ19とスイッチ22との位置が逆になった昇降圧型のものであり、昇降圧比 V_{out}/V_{in} は $D/(1-D)$ に比例する。図11(d)のDC-DCコンバータ18も図11(b)のものと比べて整流ダイオード23と出力コンデンサ23の位置が逆に接続され、更に別の平面インダクタ19が付加された昇降圧型のものであり、昇降圧比 V_{out}/V_{in} は $-D/(1-D)$ に比例する。図11(e)は平面インダクタとして単独のインダクタを用いずにトランス20のインダクタンスを利用したDC-DCコンバータ18を示している。このトランス20も本発明により平面型磁気素子として実現できる。尚、図11において書き込み終了後に必要なプロテクト電圧は抵抗分圧して得ることができる。これは書き込み時のパワーに比べて殆ど無視できるからである。

【0028】図13はシリーズレギュレータの構成を例示する回路図である。Q1は可変抵抗として動作するトランジスタであり、Q2はそのベースに印加されるメモリセル群からの制御電圧信号により導通し、トランジスタQ1のベース電流を制御し、トランジスタQ1の抵抗値を変化させる。トランジスタQ1の抵抗値を R_{Q1} とし、負荷抵抗を R_L （図示せず）とすると
$$E_o/E_i = R_L / (R_{Q1} + R_L) = \text{一定}$$
となるように、トランジスタQ1の抵抗値 R_{Q1} が可変制

御される。この抵抗値 $RQ1$ の変化により、例えば入力電圧 $E_i = 2.4\text{ V}$ の場合に出力電圧 $E_o = 1.9 \sim 2.3\text{ V}$ に制御できる。

【0029】図14は図11(a)のDC-DCコンバータの動作を説明する波形図である。図11(a)の端子aには入力電圧5Vが印加されており、端子bに図14(a)に示す矩形波状の制御パルスが入力される。まず、高周波数の制御パルスによりスイッチングトランジスタ22がオンすると、図14(b)に示すようにMOSFET22のソースドレイン間電圧が変化し、図14(c)に示すように薄型インダクタ19に電流IDが流れ電磁エネルギーが蓄えられる。次に、スイッチングトランジスタ22がオフになると、薄型インダクタ21に流れていた電流が遮断されるため、薄型インダクタ21の両端にパルス状の高電圧が発生する。このパルス状の電圧を整流ダイオード23(図14(d))と平滑コンデンサ24で平滑し、図14(e)に示すように平滑化された出力電流Ioを得ることができる。これにより、入力電圧Vinよりも高い20Vや10Vの出力電圧Voutを得ることができる。

【0030】図15は本発明における平面インダクタ(コイル)を形成する工程を説明する断面図である。半導体チップにDC-DCコンバータを構成するインダクタを作り込むには薄膜プロセスを用いれば良い。例えば特願平3-121681号、特願平3-158019号、特願平4-372号、特願平4-63453号、特願平4-71986号などに開示された方法を用いることができる。以下に簡単に説明する。図15(a)に示すように、Si等の半導体基板上1上には酸化膜等の絶縁膜2を介して下部磁性膜(CoZrNb系アモルファス薄膜等の軟磁性膜)3を形成し、その上にSiO₂、ポリイミドなどの絶縁体層4を形成する。次いで、図15(b)に示すようにレジスト31を用いたパターン形成プロセスを用い、絶縁体層4を凹部が平面コイル形状となるように凹凸にパターンニングし、凹部に選択的に導体を充填し、コイルパターンとする。このとき、例えば凹部底面にAl-Si-Cu合金膜をスパイラルコイル41、42として形成する。次に、図15(c)に示すように、ジメチルアルミニウムハイドライド(DMAIH)を用い凹部にAP5をCVDにより選択成長させる。これによらず、メッキ法を用いることも可能である。この場合、導体としてはCuなどを用いることもできる。その後、図15(d)に示すように、SiO₂膜などの絶縁膜6を介して上部磁性膜7を形成し平面型磁気素子が完成する。なお、パワー用途であるため平面型磁気素子の導体は抵抗である必要があり、また、高密度にしないと必要なインダクタンスLを得るためのスペースが大きくなるため、導体のアスペクト比 $a/b \geq 1$ 、導体間アスペクト比 $a/c = 1$ であることが望ましい(図15(d))。

【0031】尚、本発明の可変電圧電源としての高効率のDC-DCコンバータは前述したEEPROMの用途に限られず、移動体通信のパワーアンプ電源、アナログIC、CPU等可変出力が要求され、変換効率の良い電源が必要とされる分野には全て適用可能である。

【0032】

【発明の効果】以上説明したように、本発明によれば、高電圧変換効率を有するマイクロ昇圧電源を実現したことにより電源部の低消費電力化が達成でき、パーソナルコンピュータ、ワードプロセッサなどの電子機器、特に携帯電話などの携帯情報機器の電源部の小型化や電池による長時間駆動が達成できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るICメモ리카ードの概略構成を示すブロック図。

【図2】本発明の第2の実施例に係るICメモ리카ードの概略構成を示すブロック図。

【図3】本発明のICメモ리카ード用のマイクロ昇圧電源の実装状態を例示する拡大斜視図。

【図4】本発明のICメモ리카ード用のマイクロ昇圧電源の1チップ電源部の概略構成を示す部分断面斜視図。

【図5】本発明に係るDC-DCコンバータの各部の配置を例示する平面図。

【図6】本発明に係る平面インダクタの概略構成を示す平面図及び断面図。

【図7】図6の平面インダクタの透磁率一周波数特性を示す特性図。

【図8】本発明に係る別の平面インダクタの概略構成を示す斜視図。

【図9】DC-DCコンバータとメモリとの接続を示すブロック図。

【図10】本発明に係るメモ리카ード及びメモリチップの構成を示す斜視図。

【図11】本発明に係るDC-DCコンバータの構成を示す回路図。

【図12】図11におけるデューティ比を説明する波形図。

【図13】シリーズレギュレータの構成を例示する回路図。

【図14】図11のDC-DCコンバータの動作を説明する波形図。

【図15】平面インダクタ(コイル)を形成する工程を説明する断面図。

【図16】メモ리카ードの規格(TYPE I)を説明するメモ리카ードの外観斜視図。

【図17】メモ리카ードの規格(TYPE II)を説明するメモ리카ードの外観斜視図。

【図18】従来のメモ리카ードの概略構成を示すブロック図。

【図19】図18に用いられる昇圧回路の構成を例示す

る回路図。

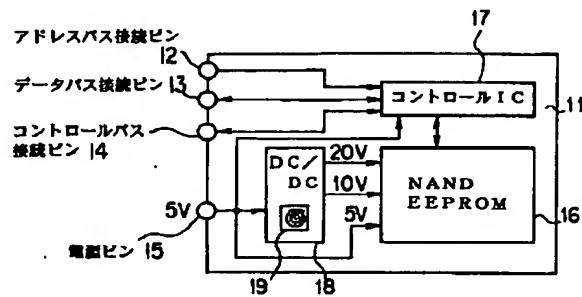
【図 20】従来の別のメモ리카드의概略構成を示すブロック図。

【符号の説明】

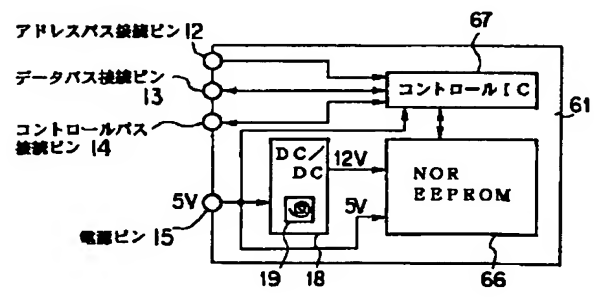
9・・・ワンチップ電源部、 11、61・・・ICメモ리카드本体、 16・・・NAND型EEPROM、

17・・・コントロールIC、 18・・・DC-DCコンバータ、 19・・・平面インダクタ、 41、42・・・矩形コイル、 53・・・シリースレギュレータ、 66・・・NOR型EEPROM、 67・・・コントロールIC。

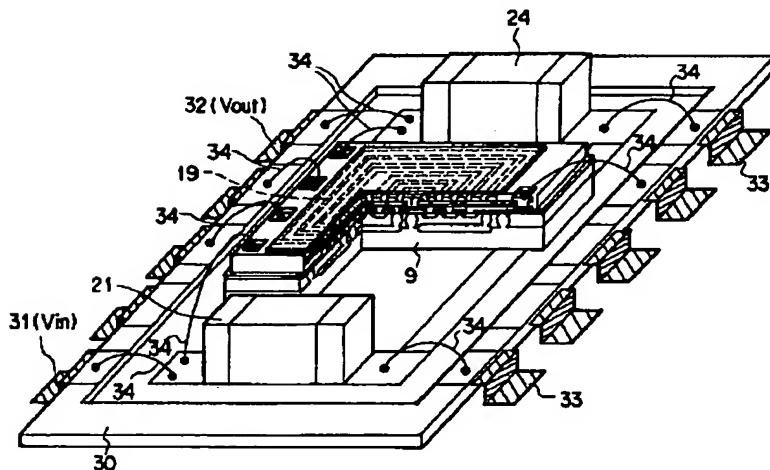
【図 1】



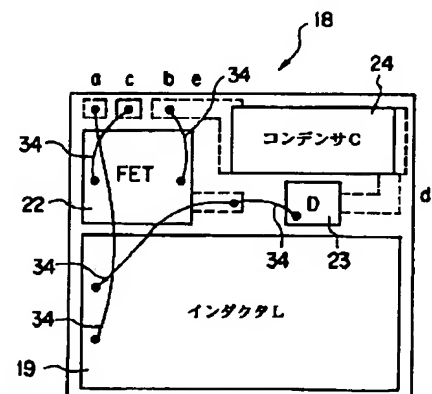
【図 2】



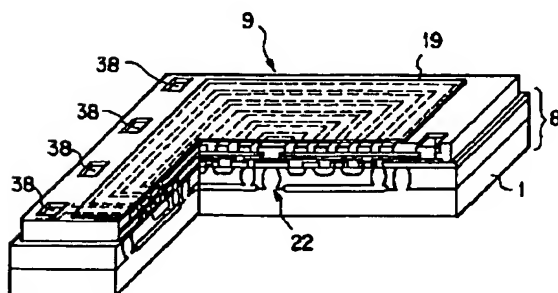
【図 3】



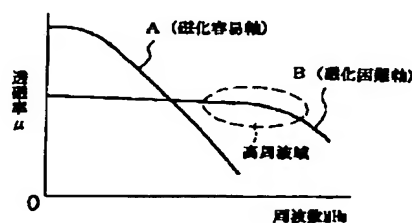
【図 5】



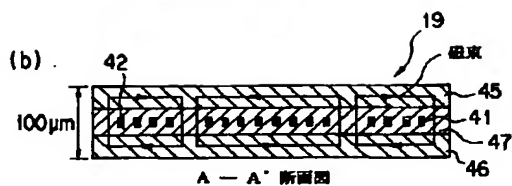
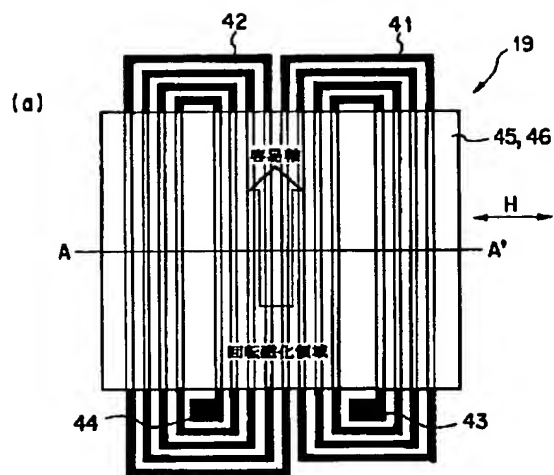
【図 4】



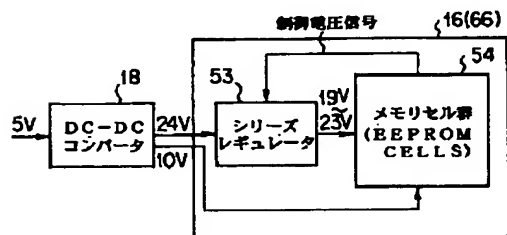
【図 7】



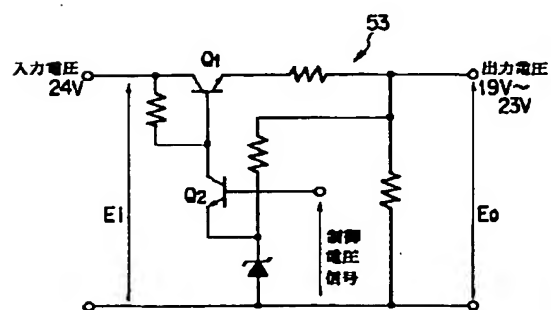
【図 6】



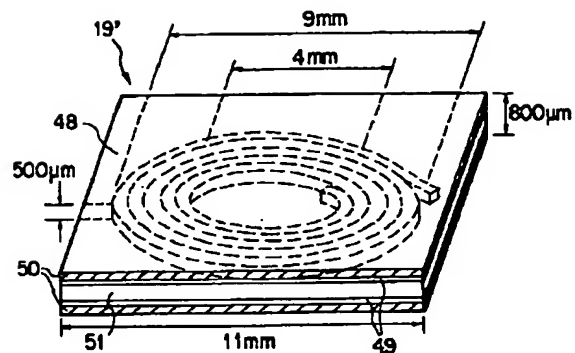
【図 9】



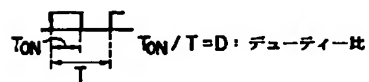
【図 13】



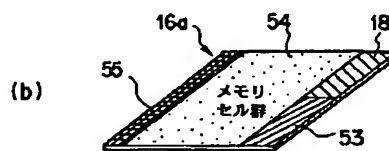
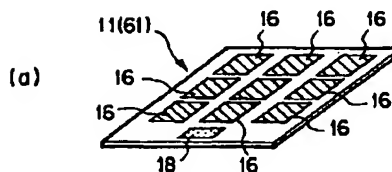
【図 8】



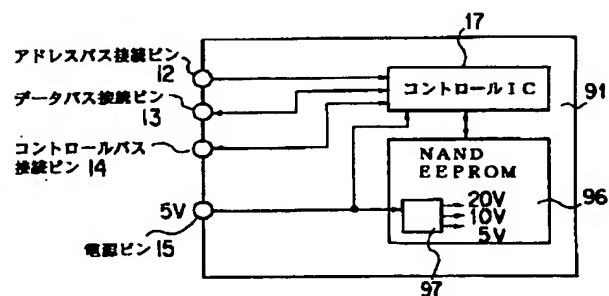
【図 12】



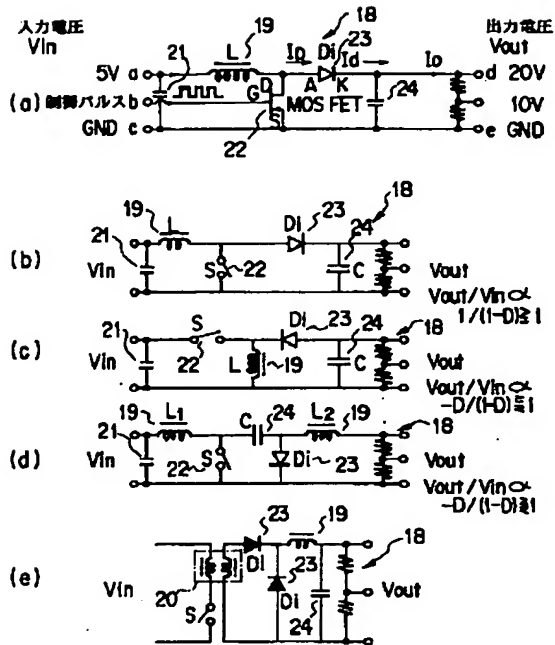
【図 10】



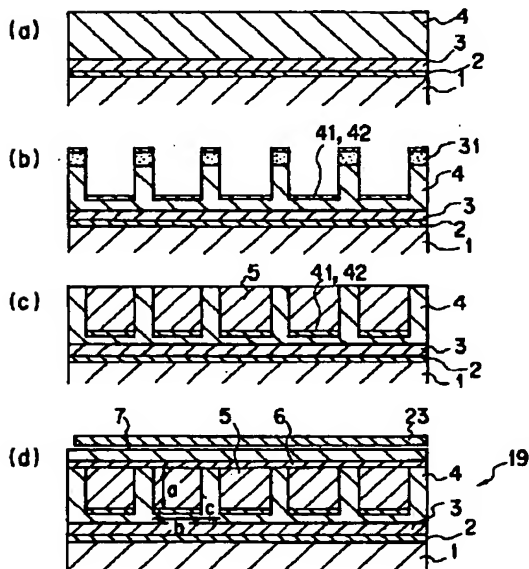
【図 18】



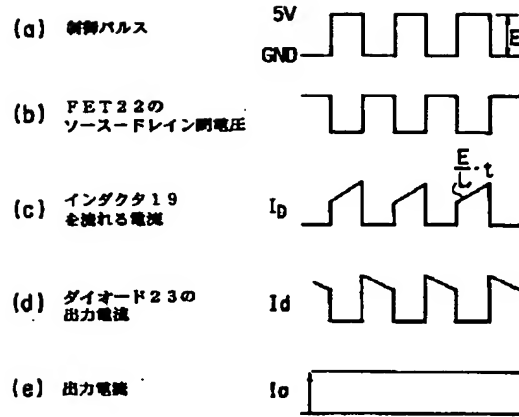
【図 11】



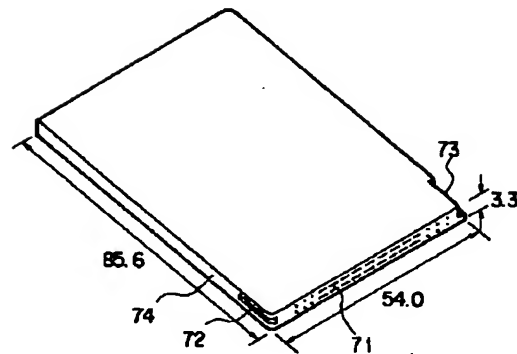
【図 15】



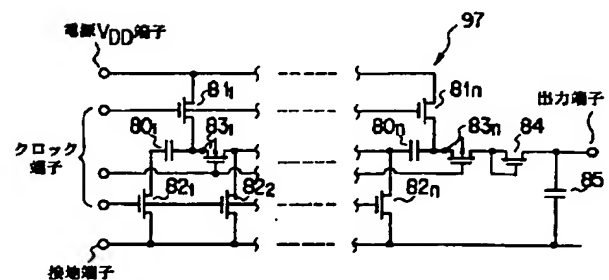
【図 14】



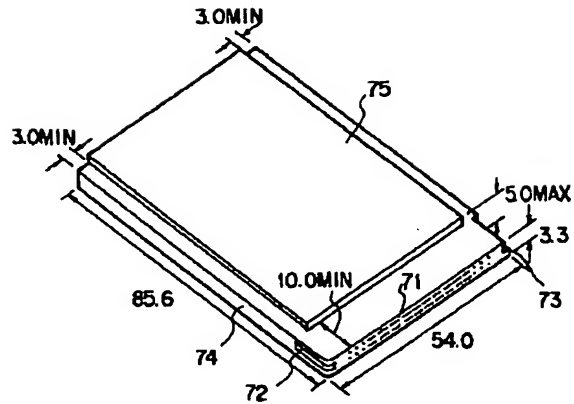
【図 16】



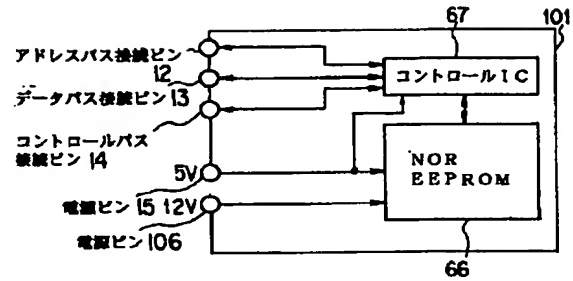
【図 19】



【図 17】



【図 20】



フロントページの続き

(51) Int. Cl. 6
H 0 2 M 3/28

識別記号 庁内整理番号
Y 8726-5H

F I

技術表示箇所

(72) 発明者 井手 祐二
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☒ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.